

## **KOREAN INDUSTRIAL PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number: **2002-75806**

Date of Application: **2 December 2002**

Applicant(s): **Samsung Electronics Co., Ltd.**

**2 June 2003**

**COMMISSIONER**

## **PATENT APPLICATION**

[Document Name]	Patent Application
[Application Type]	Patent
[Receiver]	Commissioner
[Reference No.]	0021
[Filing Date]	2002.12.02.
[IPC]	H01L
[Title]	Reference Voltage Generating Circuit Capable of Varying Reference Voltage Level
[Applicant]	
Name:	Samsung Electronics Co., Ltd.
Applicant code:	1-1998-104271-3
[Attorney]	
Name:	Young-pil Lee
Attorney's code:	9-1998-000334-6
Reg. No. of General Power of Attorney:	1999-009556-9
Name:	Sang-bin Jeong
Attorney's code:	9-1998-000541-1
Reg. No. of General Power of Attorney:	1999-009617-5
[Inventor]	
1. Name:	Jun-hyung Kim
I.D. No.	760519-1721416
Zip Code:	449-711
Address:	604, Wolgyesu-dong, Kiheung Factory of Samsung Electronics Co., Ltd., Kiheung-eub, Yongin-city, Kyungki-do, Republic of Korea
Nationality:	Republic of Korea
2. Name:	Chi-wook Kim
I.D. No.	670801-1253829
Zip Code:	445-973
Address:	110-402, Shinyoungtong Hyundai Apt., Banwol-ri, Taeon-eub, Hwaseong-gun, Kyungki-do, Republic of Korea
Nationality:	Republic of Korea

[Request for Examination] Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney  
Attorney

Young-pil Lee (seal)  
Sang-bin Jeong (seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	0 Sheet(s)	0 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	10 Claim(s)	429,000 won
Total:		458,000 won

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy each



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0075806  
Application Number

출원년월일 : 2002년 12월 02일  
Date of Application DEC 02, 2002

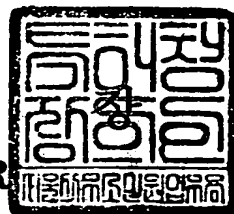
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      06      월      02      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.12.02
【국제특허분류】	H01L
【발명의 명칭】	기준 전압 레벨을 변동시키는 기준 전압 발생 회로.
【발명의 영문명칭】	Reference voltage generating circuit capable of varying reference voltage level
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김준형
【성명의 영문표기】	KIM, Jun Hyung
【주민등록번호】	760519-1721416
【우편번호】	449-711
【주소】	경기도 용인시 기흥읍 삼성전자(주)기흥공장 월계수동 604호
【국적】	KR
【발명자】	
【성명의 국문표기】	김치욱
【성명의 영문표기】	KIM, Chi Wook
【주민등록번호】	670801-1253829

**【우편번호】** 445-973  
**【주소】** 경기도 화성군 태안읍 반월리 신영통 현대아파트 110-402  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 정상빈 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 10 항 429,000 원  
**【합계】** 458,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

기준 전압 레벨을 변동시키는 기준 전압 발생 회로가 개시된다. 본 발명에 따른 기준 전압 발생 회로는 분배부, 클램핑 제어부 및 제어부를 구비하는 것을 특징으로 한다. 분배부는 외부 전원 전압에 응답하여 상기 외부 전원 전압의 전압 레벨보다 낮은 전압 레벨을 가지며, 동작 모드에 따라 전압 레벨이 변동되는 기준 전압을 출력 단자를 통하여 출력한다. 클램핑 제어부는 상기 출력 단자와 접지 전압 사이에 연결되며, 상기 기준 전압의 전압 레벨보다 낮은 전압 레벨을 가지는 제어 전압에 응답하여 상기 기준 전압의 전압 레벨을 일정한 레벨로 클램핑 한다. 제어부는 제 1 및 제 2 동작 모드 신호에 응답하여 상기 기준 전압의 전압 레벨을 증감시킨다. 상기 제어부는 제 1 제어 트랜지스터 및 제 2 제어 트랜지스터를 구비하는 것을 특징으로 한다.

본 발명에 따른 기준 전압 발생 회로는 반도체 메모리 장치의 동작 모드에 따라 기준 전압의 전압 레벨을 조절함으로써, 특정한 동작 모드에서 반도체 메모리 장치의 동작 특성을 향상시킴과 동시에 다른 동작 모드에서의 소비 전력의 증가를 억제하는 효과가 있다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

기준 전압 레벨을 변동시키는 기준 전압 발생 회로.{Reference voltage generating circuit capable of varying reference voltage level}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 실시예에 따른 기준 전압 발생 회로의 회로도이다.

도 2는 도 1의 기준 전압 발생 회로에서 출력되는 기준 전압의 레벨을 나타낸 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 반도체 메모리 장치의 동작 모드에 따라 반도체 메모리 장치에서 사용되는 기준 전압의 전압 레벨을 변동시키는 기준 전압 발생 회로에 관한 것이다.

<5> 최근 반도체 메모리 장치의 제조 기술의 극 미세화 및 고집적화가 증대되는 경향에 있고, 이러한 경향에 비추어 반도체 메모리 장치의 소비 전력은 작을수록 바람직하다. 소비 전력이 작아지기 위해서는 반도체 메모리 장치로 인가되는 전원 전압이 낮아야 한다.



- <6> 따라서, 일반적으로 5V를 전원 전압으로 사용하고 있는 외부 회로로부터 약 3.3V의 낮은 전원 전압을 사용하는 반도체 메모리 장치의 내부 회로로 전원 전압을 공급하기 위하여 반도체 메모리 장치는 내부 전압 발생 회로를 구비한다.
- <7> 내부 전압 발생 회로는 기준 전압 발생 회로에서 발생하는 기준 전압에 응답하여 내부 전압을 발생한다.
- <8> 반도체 메모리 장치는 동작하는 주파수 범위에 따라 동작 모드가 나뉘어 진다. 동작 모드를 카스 레이턴시(CAS(Column Address Strobe) Latency)와 관련하여 설명한다.
- <9> 카스 레이턴시(CL)는 독출 명령이 입력된 후 데이터가 출력되는 데 걸리는 시간을 의미한다. 즉, 클럭 신호의 일정한 지점에서 독출 명령이 입력된 후 클럭 신호의 두 사이클 후에 데이터가 출력된다면 그때의 동작 모드를 CL2라고 한다.
- <10> 클럭 신호의 일정한 지점에서 독출 명령이 입력된 후 클럭 신호의 세 사이클 후에 데이터가 출력된다면 그때의 동작 모드를 CL3라고 한다. 마찬가지로 클럭 신호의 일정한 지점에서 독출 명령이 입력된 후 클럭 신호의 두 사이클 반 후에 데이터가 출력된다면 그때의 동작 모드를 CL2.5라고 한다.
- <11> 반도체 메모리 장치의 동작 주파수 범위가 약 100MHz ~ 133MHz라면 반도체 메모리 장치는 CL2로 동작된다. 반도체 메모리 장치의 동작 주파수 범위가 약 133MHz ~ 166MHz라면 반도체 메모리 장치는 CL2.5로 동작된다. 반도체 메모리 장치의 동작 주파수 범위가 약 166MHz ~ 200MHz라면 반도체 메모리 장치는 CL3로 동작된다.

- <12> 그런데, 종래의 반도체 메모리 장치에서는 동작 모드, 즉, CL 에 상관없이 일정한 내부 전압 레벨이 유지된다. 따라서 비교적 낮은 주파수 범위의 동작 모드에서는 전력 소모가 불필요하게 증가되는 문제가 있다.
- <13> 그리고, 소비 전력을 줄이기 위하여 반도체 메모리 장치의 내부 전압 레벨을 낮춘다면 높은 동작 주파수 범위의 동작 모드에서는 동작 특성이 나빠지는 문제가 있다.
- <14> 다시 말하면, 특정한 동작 모드에서 반도체 메모리 장치의 동작 특성을 향상시키기 위하여 내부 전압 레벨을 조절한다면 다른 동작 모드에서는 불필요하게 소비 전력이 증가되는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <15> 본 발명이 이루고자하는 기술적 과제는 동작 모드에 따라 반도체 메모리 장치의 내부 전압 레벨을 조절할 수 있는 기준 전압 발생 회로를 제공하는데 있다.

**【발명의 구성 및 작용】**

- <16> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 기준 전압 발생 회로는 분배부, 클램핑 제어부 및 제어부를 구비하는 것을 특징으로 한다.
- <17> 분배부는 외부 전원 전압에 응답하여 상기 외부 전원 전압의 전압 레벨보다 낮은 전압 레벨을 가지며, 동작 모드에 따라 전압 레벨이 변동되는 기준 전압을 출력 단자를 통하여 출력한다.
- <18> 클램핑 제어부는 상기 출력 단자와 접지 전압 사이에 연결되며, 상기 기준 전압의 전압 레벨보다 낮은 전압 레벨을 가지는 제어 전압에 응답하여 상기 기준 전압의 전압 레벨을 일정한 레벨로 클램핑 한다.

- <19> 제어부는 제 1 및 제 2 동작 모드 신호에 응답하여 상기 기준 전압의 전압 레벨을 증감시킨다.
- <20> 상기 분배부는 제 1 저항, 제 2 저항 및 제 1 내지 제 4 트랜지스터들을 구비한다. 제 1 저항은 상기 외부 전원 전압과 상기 출력 단자 사이에 연결된다. 제 2 저항은 상기 출력 단자와 상기 제어 전압이 발생하는 제 1 노드 사이에 연결된다.
- <21> 제 1 내지 제 4 트랜지스터들은 상기 제 1 노드와 상기 접지 전압 사이에 전류 채널이 직렬로 형성되도록 연결된다. 상기 제 1 내지 제 3 트랜지스터들의 게이트는 상기 출력 단자에 연결되며 상기 제 4 트랜지스터의 게이트에는 상기 외부 전원 전압이 인가되는 것을 특징으로 한다.
- <22> 상기 제 1 내지 제 4 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다. 상기 제 1 내지 제 4 트랜지스터의 폭(width)과 길이(length)의 비를 조절하여 상기 기준 전압의 전압 레벨을 조절하는 것을 특징으로 한다.
- <23> 상기 제어부는 제 1 제어 트랜지스터 및 제 2 제어 트랜지스터를 구비하는 것을 특징으로 한다. 제 1 제어 트랜지스터는 상기 제 1 동작 모드 신호에 응답하여 턴 온 또는 턴 오프 되어 상기 기준 전압 레벨을 증감시킨다. 제 2 제어 트랜지스터는 상기 제 2 동작 모드 신호에 응답하여 턴 온 또는 턴 오프 되어 상기 기준 전압 레벨을 증감시킨다.
- <24> 상기 제 1 제어 트랜지스터는 상기 제 1 트랜지스터의 소스와 드레인에 각각 소스와 드레인이 연결되고 상기 제 1 동작 모드 신호가 게이트로 인가되는 엔모스 트랜지스터인 것을 특징으로 한다.

- <25>       상기 제 2 제어 트랜지스터는 상기 제 3 트랜지스터의 소스와 드레인에 각각 소스와 드레인이 연결되고 상기 제 2 동작 모드 신호가 게이트로 인가되는 엔모스 트랜지스터인 것을 특징으로 한다.
- <26>       상기 클램프 제어부는 제 1단이 상기 출력 단자에 연결되고, 제 2 단이 상기 접지 전압에 연결되며 게이트로 상기 제어 전압이 인가되는 피모스 트랜지스터인 것을 특징으로 한다. 상기 제 1 및 제 2 동작 모드 신호는 MRS(Mode Register Set)신호인 것을 특징으로 한다.
- <27>       상기 기준 전압 발생 회로는 낮은 동작 주파수 범위에서 제 1 동작 모드 신호와 제 2 동작 모드 신호는 제 1 레벨로 발생되고 높은 동작 주파수 범위에서 제 1 동작 모드 신호와 제 2 동작 모드 신호는 제 2 레벨로 발생되고 중간 동작 주파수 범위에서 제 1 동작 모드 신호와 제 2 동작 모드 신호 중 하나는 제 1 레벨로 발생되고 다른 하나는 제 2 레벨로 발생되는 것을 특징으로 한다.
- <28>       본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <29>       이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <30>       도 1은 본 발명의 실시예에 따른 기준 전압 발생 회로의 회로도이다.
- <31>       도 1을 참조하면, 본 발명의 실시예에 따른 기준 전압 발생 회로(100)는 분배부(110), 클램핑 제어부(130) 및 제어부(120)를 구비한다.

- <32> 분배부(110)는 외부 전원 전압(EVC)에 응답하여 외부 전원 전압(EVC)의 전압 레벨보다 낮은 전압 레벨을 가지며, 동작 모드에 따라 전압 레벨이 변동되는 기준 전압(VREF)을 출력 단자(NOUT)를 통하여 출력한다.
- <33> 좀더 설명하면, 분배부(110)는 제 1 저항(R1), 제 2 저항(R2) 및 제 1 내지 제 4 트랜지스터들(TR1, TR2, TR3, TR4)을 구비한다.
- <34> 제 1 저항(R1)은 외부 전원 전압(EVC)과 출력 단자(NOUT) 사이에 연결된다. 제 2 저항(R2)은 출력 단자(NOUT)와 제어 전압(V1)이 발생하는 제 1 노드(N1) 사이에 연결된다.
- <35> 제 1 내지 제 4 트랜지스터들(TR1, TR2, TR3, TR4)은 제 1 노드(N1)와 접지 전압(VSS) 사이에 전류 채널이 직렬로 형성되도록 연결된다. 제 1 내지 제 3 트랜지스터들(TR1, TR2, TR3)의 게이트는 상기 출력 단자(NOUT)에 연결되며 제 4 트랜지스터(TR4)의 게이트에는 외부 전원 전압(EVC)이 인가된다.
- <36> 제 1 내지 제 4 트랜지스터(TR1, TR2, TR3, TR4)는 엔모스 트랜지스터이다. 제 1 내지 제 4 트랜지스터(TR1, TR2, TR3, TR4)의 폭(width)과 길이(length)의 비를 조절하여 기준 전압(VREF)의 전압 레벨을 조절할 수 있다.
- <37> 클램핑 제어부(130)는 출력 단자(NOUT)와 접지 전압(VSS) 사이에 연결되며, 기준 전압(VREF)의 전압 레벨보다 낮은 전압 레벨을 가지는 제어 전압(V1)에 응답하여 기준 전압(VREF)의 전압 레벨을 일정한 레벨로 클램핑 한다.

- <38> 좀더 설명하면, 클램프 제어부(120)는 제 1단이 출력 단자(NOUT)에 연결되고, 제 2단이 접지 전압(VSS)에 연결되며 게이트로 제어 전압(V1)이 인가되는 피모스 트랜지스터이다.
- <39> 제어부(120)는 제 1 및 제 2 동작 모드 신호(MODE2)에 응답하여 기준 전압(VREF)의 전압 레벨을 증감시킨다. 제어부(120)는 제 1 제어 트랜지스터(CTR1) 및 제 2 제어 트랜지스터(CTR2)를 구비한다.
- <40> 제 1 제어 트랜지스터(CTR1)는 제 1 동작 모드 신호(MODE1)에 응답하여 턴 온 또는 턴 오프 되어 기준 전압(VREF) 레벨을 증감시킨다. 제 2 제어 트랜지스터(CTR2)는 제 2 동작 모드 신호(MODE2)에 응답하여 턴 온 또는 턴 오프 되어 기준 전압(VREF) 레벨을 증감시킨다.
- <41> 제 1 제어 트랜지스터(CTR1)는 제 1 트랜지스터(TR1)의 소스와 드레인에 각각 소스와 드레인이 연결되고 제 1 동작 모드 신호(MODE1)가 게이트로 인가되는 엔모스 트랜지스터이다.
- <42> 제 2 제어 트랜지스터(CTR2)는 제 3 트랜지스터(TR3)의 소스와 드레인에 각각 소스와 드레인이 연결되고 제 2 동작 모드 신호(MODE2)가 게이트로 인가되는 엔모스 트랜지스터이다. 제 1 및 제 2 동작 모드 신호(MODE2)는 MRS(Mode Register Set)신호이다.
- <43> 기준 전압 발생 회로(100)는 낮은 동작 주파수 범위에서 제 1 동작 모드 신호(MODE1)와 제 2 동작 모드 신호(MODE2)는 제 1 레벨로 발생되고 높은 동작 주파수 범위에서 제 1 동작 모드 신호(MODE1)와 제 2 동작 모드 신호(MODE2)는 제 2 레벨로 발생되

고 중간 동작 주파수 범위에서 제 1 동작 모드 신호(MODE1)와 제 2 동작 모드 신호(MODE2) 중 하나는 제 1 레벨로 발생되고 다른 하나는 제 2 레벨로 발생된다.

<44> 이하, 도 1을 참조하여 본 발명의 실시예에 따른 기준 전압 발생 회로의 동작이 상세히 설명된다.

<45> 분배부(110)는 외부 전원 전압(EVC)에 응답하여 출력 단자(NOUT)를 통하여 기준 전압(VREF)을 발생한다. 기준 전압(VREF)은 외부 전원 전압(EVC)의 전압 레벨보다 낮은 전압 레벨을 가지며, 동작 모드에 따라 전압 레벨이 변동된다.

<46> 분배부(110)는 제 1 저항(R1), 제 2 저항(R2) 및 제 1 내지 제 4 트랜지스터들(TR1, TR2, TR3, TR4)을 구비한다. 제 1 내지 제 4 트랜지스터(TR1, TR2, TR3, TR4)는 엔모스 트랜지스터이다.

<47> 제 1 저항(R1)은 외부 전원 전압(EVC)과 출력 단자(NOUT) 사이에 연결된다. 제 2 저항(R2)은 출력 단자(NOUT)와 제어 전압(V1)이 발생하는 제 1 노드(N1) 사이에 연결된다.

<48> 제 1 내지 제 4 트랜지스터들(TR1, TR2, TR3, TR4)은 제 1 노드(N1)와 접지 전압(VSS) 사이에 직렬로 연결된다. 따라서, 전류 채널이 직렬로 형성된다.

<49> 그리고, 제 1 내지 제 3 트랜지스터들(TR1, TR2, TR3)의 게이트는 상기 출력 단자(NOUT)에 연결되며 제 4 트랜지스터(TR4)의 게이트에는 외부 전원 전압(EVC)이 인가된다

- <50> 외부 전원 전압(EVC)이 인가되어 일정한 전압 레벨에 도달하면 제 4 트랜지스터(TR4)는 턴 온 된다. 그러면 분배부(110)에는 제 1 저항(R1)이 연결되어 있는 외부 전원 전압(EVC)부터 접지 전압(VSS)까지 전류가 흐르게 된다.
- <51> 즉, 제 4 트랜지스터(TR4)는 분배부(110)를 동작시키는 스위치의 기능을 한다.
- <52> 제 1 내지 제 3 트랜지스터(TR1, TR2, TR3)는 저항의 역할을 한다. 따라서 전압 분배의 원리에 따라 출력 단자(NOUT)에는 일정한 레벨의 전압이 발생하며, 그 전압이 기준 전압(VREF)이다.
- <53> 제 1 내지 제 4 트랜지스터(TR1, TR2, TR3, TR4)의 폭(width)과 길이(length)의 비를 조절하여 기준 전압(VREF)의 전압 레벨을 조절할 수 있다.
- <54> 클램핑 제어부(130)는 출력 단자(NOUT)와 접지 전압(VSS) 사이에 연결되며, 기준 전압(VREF)의 전압 레벨보다 낮은 전압 레벨을 가지는 제어 전압(V1)에 응답하여 기준 전압(VREF)의 전압 레벨을 일정한 레벨로 클램핑 한다. 제어 전압(V1)은 제 1 내지 제 4 트랜지스터(TR1, TR2, TR3, TR4)에 비례하여 발생하는 전압이다.
- <55> 클램프 제어부(120)는 제 1단이 출력 단자(NOUT)에 연결되고, 제 2 단이 접지 전압(VSS)에 연결되며 게이트로 제어 전압(V1)이 인가되는 피모스 트랜지스터이다.
- <56> 외부 전원 전압(EVC)의 레벨이 증가되다가 일정한 레벨로 유지되면 기준 전압(VREF)의 전압 레벨도 일정한 레벨로 유지된다.
- <57> 기준 전압(VREF)의 레벨이 갑자기 증가되면, 제어 전압(V1)이 인가되는 클램핑 제어부(130)의 게이트와 기준 전압(VREF)이 인가되는 클램핑 제어부(130)의 소스 사이의 전압 레벨의 차이가 더 크게 된다.



- <58> 그러면 피모스 트랜지스터(MP)가 턴 온 되는 정도가 더 커지고, 피모스 트랜지스터(MP)의 소스에서 드레인으로 전류가 더 많이 흐르게 된다. 따라서 기준 전압(VREF)의 전압 레벨이 감소된다.
- <59> 반대로, 기준 전압(VREF)의 레벨이 갑자기 감소되면, 제어 전압(V1)이 인가되는 클램핑 제어부(130)의 게이트와 기준 전압(VREF)이 인가되는 클램핑 제어부(130)의 소스 사이의 전압 레벨의 차이가 더 작아진다.
- <60> 그러면 피모스 트랜지스터(MP)가 턴 온 되는 정도가 작아지고, 피모스 트랜지스터(MP)의 소스에서 드레인으로 전류가 더 적게 흐르게 된다. 따라서 기준 전압(VREF)의 전압 레벨이 증가된다.
- <61> 이와 같이 클램프 제어부(120)는 기준 전압(VREF)의 전압 레벨을 일정한 전압 레벨로 유지하는 기능을 한다.
- <62> 제어부(120)는 제 1 및 제 2 동작 모드 신호(MODE2)에 응답하여 기준 전압(VREF)의 전압 레벨을 증감시킨다. 제어부(120)는 제 1 제어 트랜지스터(CTR1) 및 제 2 제어 트랜지스터(CTR2)를 구비한다.
- <63> 제 1 제어 트랜지스터(CTR1)는 분배부(110)의 제 1 트랜지스터(TR1)의 소스와 드레인에 각각 소스와 드레인이 연결되고 제 1 동작 모드 신호(MODE1)가 게이트로 인가되는 엔모스 트랜지스터이다.
- <64> 제 2 제어 트랜지스터(CTR2)는 분배부(110)의 제 3 트랜지스터(TR3)의 소스와 드레인에 각각 소스와 드레인이 연결되고 제 2 동작 모드 신호(MODE2)가 게이트로 인가되는 엔모스 트랜지스터이다.

- <65> 반도체 메모리 장치의 동작 모드를 동작 주파수 범위에 따라 CL2, CL2.5, CL3 의 세 가지로 분류한다면 본 발명의 기준 전압 발생 회로(100)는 CL2 모드에서 기준 전압(VREF)을 가장 낮은 레벨로 발생하고 CL2.5 모드에서 기준 전압(VREF)을 중간 레벨로 발생하며 CL3 모드에서 기준 전압(VREF)을 가장 높은 레벨로 발생한다.
- <66> 이를 위하여, CL2 모드에서 제 1 동작 모드 신호(MODE1)와 제 2 동작 모드 신호(MODE2)는 제 1 레벨로 발생된다. CL2.5 모드에서 제 1 동작 모드 신호(MODE1)와 제 2 동작 모드 신호(MODE2) 중 하나는 제 1 레벨로 발생되고 다른 하나는 제 2 레벨로 발생된다.
- <67> CL3 모드에서 제 1 동작 모드 신호(MODE1)와 제 2 동작 모드 신호(MODE2)는 제 2 레벨로 발생된다. 여기서, 제 1 레벨은 설명의 편의를 위하여 하이 레벨로 하고 제 2 레벨은 로우 레벨로 한다.
- <68> 그러나, 당업자에게는 제 1 레벨과 제 2 레벨의 정의가 반대로 될 수도 있다는 것은 자명하다.
- <69> 제 1 및 제 2 동작 모드 신호(MODE2)는 MRS(Mode Register Set)신호이다.
- <70> 반도체 메모리 장치가 CL2.5 모드로 동작한다면 제 1 제어 트랜지스터(CTR1) 및 제 2 제어 트랜지스터(CTR2) 중 하나는 턴 온 되고 다른 하나는 턴 오프 된다. 제 1 제어 트랜지스터(CTR1)가 턴 온 된다고 가정한다.
- <71> 그러면 분배부(110)를 흐르는 전류는 제 1 트랜지스터(TR1) 대신 제 1 제어 트랜지스터(CTR1)를 통하여 제 2 트랜지스터(TR2)로 흐른다. 따라서, 기준 전압(VREF)의 전압

레벨을 결정하는 저항의 기능을 하는 소자들은 제 2 저항(R2), 제 2 트랜지스터(TR2), 제 3 및 제 4 트랜지스터(TR3, TR4)가 된다.

<72> 이 때의 기준 전압(VREF)의 레벨은 도 2에 VREF\_M 으로 표시되어 있다.

<73> 도 2는 도 1의 기준 전압 발생 회로에서 출력되는 기준 전압의 레벨을 나타낸 도면이다.

<74> 반도체 메모리 장치가 CL2 모드로 동작한다면 제 1 제어 트랜지스터(CTR1) 및 제 2 제어 트랜지스터(CTR2)는 모두 턴 온 된다. 제 1 동작 모드 신호(MODE1) 및 제 2 동작 모드 신호(MODE2)가 모두 하이 레벨로 발생되기 때문이다.

<75> 그러면 분배부(110)를 흐르는 전류는 제 1 트랜지스터(TR1) 대신 제 1 제어 트랜지스터(CTR1)를 통하여 제 2 트랜지스터(TR2)로 흐른다. 그리고 제 3 트랜지스터(TR3) 대신 제 2 제어 트랜지스터(CTR2)를 통하여 제 4 트랜지스터(TR4)로 흐른다.

<76> 따라서, 기준 전압(VREF)의 전압 레벨을 결정하는 저항의 기능을 하는 소자들은 제 2 저항(R2), 제 2 트랜지스터(TR2) 및 제 4 트랜지스터(TR4)가 된다. 저항 소자들의 개수가 CL2.5 모드 일 때보다 줄었으므로 기준 전압(VREF)의 전압 레벨도 낮아진다.

<77> 이때의 기준 전압(VREF)의 레벨은 도 2에서 VREF\_L 로 표시되어 있다.

<78> 반도체 메모리 장치가 CL3 모드로 동작한다면 제 1 제어 트랜지스터(CTR1) 및 제 2 제어 트랜지스터(CTR2)는 모두 턴 오프 된다. 제 1 동작 모드 신호(MODE1) 및 제 2 동작 모드 신호(MODE2)가 모두 로우 레벨로 발생되기 때문이다.

<79> 그러면 분배부(110)를 흐르는 전류는 제 1 내지 제 4 트랜지스터(TR1, TR2, TR3, TR4)를 통하여 접지 전압(VSS)으로 흐른다. 따라서, 기준 전압(VREF)의 전압 레벨을 결

정하는 저항의 기능을 하는 소자들은 제 2 저항(R2), 제 1 내지 제 4 트랜지스터(TR1, TR2, TR3, TR4)가 된다.

<80> 저항 소자들의 개수가 CL 2.5 모드 일 때보다 늘었으므로 기준 전압(VREF)의 전압 레벨도 높아진다.

<81> 이때의 기준 전압(VREF)의 레벨은 도 2에서 VREF\_H 로 표시되어 있다.

<82> 동작 모드에 따라 전압 레벨이 변동되는 기준 전압(VREF)에 응답하여 반도체 메모리 장치 내부의 내부 전압 발생 회로는 내부 전압의 전압 레벨을 조절한다.

<83> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다.

<84> 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<85> 상술한 바와 같이 본 발명에 따른 기준 전압 발생 회로는 반도체 메모리 장치의 동작 모드에 따라 기준 전압의 전압 레벨을 조절함으로써, 특정한 동작 모드에서 반도체 메모리 장치의 동작 특성을 향상시킴과 동시에 다른 동작 모드에서의 소비 전력의 증가를 억제하는 효과가 있다.

**【특허청구범위】****【청구항 1】**

외부 전원 전압에 응답하여 상기 외부 전원 전압의 전압 레벨보다 낮은 전압 레벨을 가지며, 동작 모드에 따라 전압 레벨이 변동되는 기준 전압을 출력 단자를 통하여 출력하는 분배부 ;

상기 출력 단자와 접지 전압 사이에 연결되며, 상기 기준 전압의 전압 레벨보다 낮은 전압 레벨을 가지는 제어 전압에 응답하여 상기 기준 전압의 전압 레벨을 일정한 레벨로 클램핑하는 클램핑 제어부 ; 및

제 1 및 제 2 동작 모드 신호에 응답하여 상기 기준 전압의 전압 레벨을 증감시키는 제어부를 구비하는 것을 특징으로 하는 기준 전압 발생 회로.

**【청구항 2】**

제 1항에 있어서, 상기 분배부는,

상기 외부 전원 전압과 상기 출력 단자 사이에 연결되는 제 1 저항 ;

상기 출력 단자와 상기 제어 전압이 발생하는 제 1 노드 사이에 연결되는 제2 저항 ; 및

상기 제 1 노드와 상기 접지 전압 사이에 전류 채널이 직렬로 형성되도록 연결되는 제 1 내지 제 4 트랜지스터들을 구비하고,

상기 제 1 내지 제 3 트랜지스터들의 게이트는 상기 출력 단자에 연결되며,

상기 제 4 트랜지스터의 게이트에는 상기 외부 전원 전압이 인가되는 것을 특징으로 하는 기준 전압 발생 회로.

**【청구항 3】**

제 2항에 있어서, 상기 제 1 내지 제 4 트랜지스터는,  
엔모스 트랜지스터인 것을 특징으로 하는 기준 전압 발생 회로.

**【청구항 4】**

제 2항에 있어서, 상기 제 1 내지 제 4 트랜지스터의 폭(width)과 길이(length)의  
비를 조절하여 상기 기준 전압의 전압 레벨을 조절하는 것을 특징으로 하는 기준 전압  
발생 회로.

**【청구항 5】**

제 2항에 있어서, 상기 제어부는,  
상기 제 1 동작 모드 신호에 응답하여 턴 온 또는 턴 오프 되어 상기 기준 전압  
레벨을 증감시키는 제 1 제어 트랜지스터 ; 및  
상기 제 2 동작 모드 신호에 응답하여 턴 온 또는 턴 오프 되어 상기 기준 전압 레  
벨을 증감시키는 제 2 제어 트랜지스터를 구비하는 것을 특징으로 하는 기준 전압 발생  
회로.

**【청구항 6】**

제 5항에 있어서, 상기 제 1 제어 트랜지스터는,  
상기 제 1 트랜지스터의 소스와 드레인에 각각 소스와 드레인이 연결되고 상기 제  
1 동작 모드 신호가 게이트로 인가되는 엔모스 트랜지스터인 것을 특징으로 하는 기준  
전압 발생 회로.

**【청구항 7】**

제 5항에 있어서, 상기 제 2 제어 트랜지스터는,

상기 제 3 트랜지스터의 소스와 드레인에 각각 소스와 드레인이 연결되고 상기 제 2 동작 모드 신호가 게이트로 인가되는 엔모스 트랜지스터인 것을 특징으로 하는 기준 전압 발생 회로.

**【청구항 8】**

제 1항에 있어서, 상기 클램프 제어부는,

제 1단이 상기 출력 단자에 연결되고, 제 2 단이 상기 접지 전압에 연결되며 게이트로 상기 제어 전압이 인가되는 피모스 트랜지스터인 것을 특징으로 하는 기준 전압 발생 회로.

**【청구항 9】**

제 1항에 있어서, 상기 제 1 및 제 2 동작 모드 신호는,

MRS(Mode Register Set)신호인 것을 특징으로 하는 기준 전압 발생 회로.

**【청구항 10】**

제 1항에 있어서,

낮은 동작 주파수 범위에서 제 1 동작 모드 신호와 제 2 동작 모드 신호는 제 1 레벨로 발생되고,

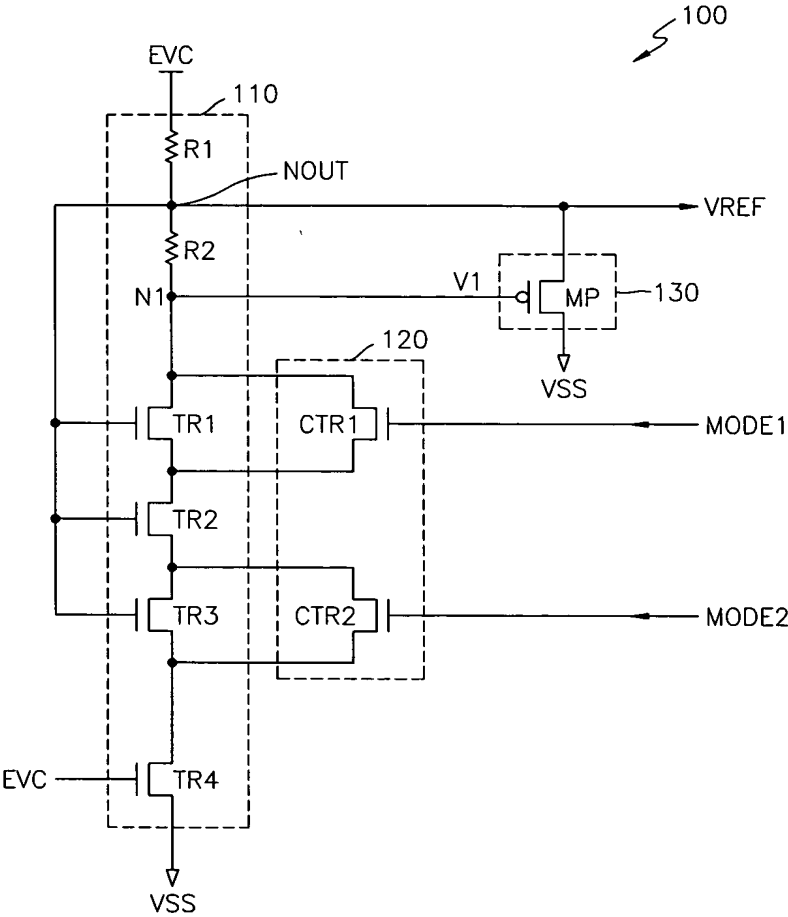
높은 동작 주파수 범위에서 제 1 동작 모드 신호와 제 2 동작 모드 신호는 제 2 레벨로 발생되고,

중간 동작 주파수 범위에서 제 1 동작 모드 신호와 제 2 동작 모드 신호 중 하나는 제 1 레벨로 발생되고 다른 하나는 제 2 레벨로 발생하는 것을 특징으로 하는 기준 전압 발생 회로.



【도면】

【도 1】



【도 2】

